

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑫ 公開特許公報(A) 昭60-192447

⑬ Int.Cl.⁴
H 04 L 13/00

識別記号 庁内整理番号
F-7240-5K

⑭ 公開 昭和60年(1985)9月30日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 異常データ受信防止回路

⑯ 特 願 昭59-48818

⑰ 出 願 昭59(1984)3月14日

⑱ 発 明 者 河 野 久 雄 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 山 本 国 夫 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉑ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

異常データ受信防止回路

2. 特許請求の範囲

主装置からの制御情報を受信し各種処理を行う従装置にインヒビット回路及びタイマ回路を設け、且つ前記制御情報の最大データ長を予め設定して置き、前記最大データ長を超えるデータを前記主装置から受信した場合、前記タイマ回路を駆動し或る一定時間前記インヒビット回路を動作させて前記従装置の受信動作を停止させることを特徴とする異常データ受信防止回路。

3. 発明の詳細な説明

(a). 発明の技術分野

本発明は異常データ受信防止回路に係り、特に主装置から制御情報を受信して動作する従装置の異常データ受信防止回路に関するものである。

(b). 従来技術と問題点

電子交換機等に於いて主装置から制御情報を受信して動作する従装置は、常に其の受信部をイネ

ーブル状態に保持して主装置からの制御情報を受信出来る状態にしておかなければならない。

第1図は従装置内に設けられる主装置からの制御情報を受信する回路の一実施例を示す概略図である。

図中、DMACはダイレクトメモリアクセスコントローラ、ADLCはアドバンスドデータリンクコントローラ、MEMはメモリ、CONTは制御回路、PIAはペリフェラルインターフェイスアダプタである。尚以下全図を通じ同一記号は同一対象物を表す。

主装置から従装置に対し送信する制御情報は普通DMA方式によりデータ転送される。即ち主装置からの制御情報はアドバンスドデータリンクコントローラADLCに入る。アドバンスドデータリンクコントローラADLCはシリアルデータの送受信回路でシリアル形式で送られて来る制御情報を受信し、ダイレクトメモリアクセスコントローラDMACの制御によりメモリMEMに収容される。

特開昭60-192447(2)

制御回路CONTは此の様に主装置から受信した制御情報をメモリMEMから読み出し従装置としての機能を実行する。

此の様な従装置に於いて例えば伝送路等の故障及び主装置からの情報に誤りが生ずる等の原因により従装置が異常データを受信する時は従装置内のメモリMEMを書き換える結果となり、従装置の通常処理に大きい影響を与え、甚だしい時は暴走すると云う欠点があった。

(c). 発明の目的

本発明の目的は従来技術の有する上記の欠点を除去し、異常データを受信した場合一時入力をガードし、従装置の定常内部処理を優先することにより従装置の動作安定度を向上し得る異常データ受信防止回路を提供することである。

(d). 発明の構成

上記の目的は本発明によれば、主装置からの制御情報を受信し各種処理を行う従装置にインヒビット回路及びタイマ回路を設け、且つ前記制御情報の最大データ長を予め設定して置き、前記最大

データ長を超えるデータを前記主装置から受信した場合、前記タイマ回路を駆動し或る一定時間前記インヒビット回路を動作させて前記従装置の受信動作を停止させることを特徴とする異常データ受信防止回路を提供することにより達成される。

即ち本発明に於いては主装置から受信する制御情報の最大データ長を予め設定して置き若し受信した制御情報が此の最大データ長を超える場合は此の制御情報を誤りと判定して以後一定時間受信を停止して従装置を保護し、従装置の動作安定度の向上を図るものである。

(e). 発明の実施例

第2図は従装置内に設けられる本発明に依る異常データ受信防止回路の一実施例を示す概略図である。

図中、FFはフリップ・フロップ回路、TIMはタイマ回路、G1、G2は夫々インヒビットゲートである。

主装置から従装置に対し送信する制御情報は普通DMA方式によりデータ転送される。即ち主装

3

置からの制御情報はインヒビットゲートG1經由アドバンスドデータリンクコントローラADLCに入る。

アドバンスドデータリンクコントローラADLCによりシリアル形式で送られて来る制御情報を受信し、ダイレクトメモリアクセスコントローラDMACの制御によりメモリMEMに収容される。制御回路CONTは3の様に主装置から受信した制御情報をメモリMEMから読み出し従装置としての機能を実行する。

本発明では主装置から受信した制御情報をメモリMEMに書き込む前に其のデータ長を制御回路CONTにより検査して規定の最大データ長より長いかなかを判定し、規定の最大データ長より短い時は其の儘メモリMEMに書き込むが、若し規定の最大データ長より長い時は周辺機器制御用インタフェースの機能を有するペリフェラルインターフェイスアダプタPIAを介してフリップ・フロップ回路FF、及びタイマ回路TIMをセットする。フリップ・フロップ回路FFがセットされ

4

ることによりインヒビットゲートG1のインヒビット機能が働いて受信を停止する。

又タイマ回路TIMがセットされて計時動作を開始し、或る一定時間経過するとタイマ回路TIMはフリップ・フロップ回路FFをリセットし、インヒビットゲートG1を開き、再び主装置からの受信をイネーブル状態に復元する。

此の為伝送路等の故障により主装置から異常データを受信する場合これを防止することが可能となる。

(f). 発明の効果

以上詳細に説明した様に本発明によれば、異常データを受信した場合一時入力をガードし、従装置の定常内部処理を優先することにより従装置の動作安定度を向上し得る異常データ受信防止回路を実現出来ると云う大きい効果がある。

4. 図面の簡単な説明

第1図は従装置内に設けられる主装置からの制御情報を受信する回路の一実施例を示す概略図である。

5

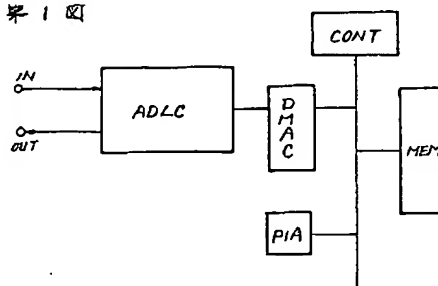
6

特開昭60-192447(3)

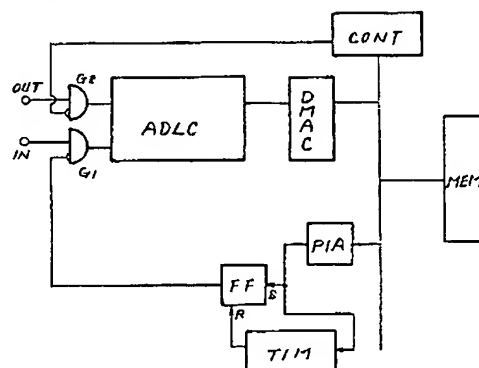
第2図は従装置内に設けられる本発明に係る異常データ受信防止回路の一実施例を示す概略図である。

図中、DMACはダイレクトメモリアクセスコントローラ、ADLCはアドバンスドデータリンクコントローラ、MEMはメモリ、CONTは制御回路、PIAはペリフェラルインターフェイスアダプタ、FFはフリップ・フロップ回路、TIMはタイマ回路、G1、G2は夫々インヒビットゲートである。

第1図



第2図



代理人 弁理士 松岡宏四郎

